

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 9 月 1 4 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 2 6 7 0 0 7

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 2 6 7 0 0 7

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 9 月 2 8 日

特許庁長官
Commissioner,
Japan Patent Office

中 嶋



【出願番号】	特許願
【整理番号】	2037950020
【提出日】	平成16年 9月14日
【あて先】	特許庁長官 殿
【国際特許分類】	G06F 5/01
【発明者】	
【住所又は居所】	大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】	田上 一文
【発明者】	
【住所又は居所】	大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】	武内 大輔
【発明者】	
【住所又は居所】	大阪府門真市大字門真1006番地 松下電器産業株式会社内
【氏名】	千葉 智子
【特許出願人】	
【識別番号】	000005821
【氏名又は名称】	松下電器産業株式会社
【代理人】	
【識別番号】	100077931
【弁理士】	
【氏名又は名称】	前田 弘
【選任した代理人】	
【識別番号】	100094134
【弁理士】	
【氏名又は名称】	小山 廣毅
【選任した代理人】	
【識別番号】	100110939
【弁理士】	
【氏名又は名称】	竹内 宏
【選任した代理人】	
【識別番号】	100110940
【弁理士】	
【氏名又は名称】	嶋田 高久
【選任した代理人】	
【識別番号】	100113262
【弁理士】	
【氏名又は名称】	竹内 祐二
【選任した代理人】	
【識別番号】	100115059
【弁理士】	
【氏名又は名称】	今江 克実
【選任した代理人】	
【識別番号】	100115691
【弁理士】	
【氏名又は名称】	藤田 篤史
【選任した代理人】	
【識別番号】	100117581
【弁理士】	
【氏名又は名称】	二宮 克也

【送付した代理人】

【識別番号】 100117710
【弁理士】
【氏名又は名称】 原田 智雄
【電話番号】 06-6125-2255
【連絡先】 担当

【選任した代理人】

【識別番号】 100121728
【弁理士】
【氏名又は名称】 井関 勝守

【手数料の表示】

【予納台帳番号】 014409
【納付金額】 16,000円

【提出物件の目録】

【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0217869

【請求項 1】

所定のビット幅の入力データを受け、第 1 のシフト量及び第 2 のシフト量を組み合わせた合計シフト量だけ前記入力データを左右シフトして、所望シフト後の出力データとして出力するバレルシフト装置において、

前記入力データを受け、前記第 1 のシフト量を制御する第 1 の制御信号に基づいて前記入力データをシフトし、中間データとして出力する第 1 のシフト手段と、

前記第 1 のシフト手段からの中間データを保持するための中間データ保持手段と、

前記第 2 のシフト量を制御する前記第 2 の制御信号を保持し、出力する制御信号保持手段と、

前記中間データ保持手段に保持された中間データを受け、前記制御信号保持手段の出力する前記第 2 の制御信号に基づいて、前記受けた中間データをシフトさせて、前記所望シフト後の出力データとして出力する第 2 のシフト手段とを備えると共に、

前記第 2 の制御信号を受け、この第 2 の制御信号に基づき、前記第 1 のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第 2 のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素を一部又は全部除いたデータ要素の前記中間データ内での桁位置を検出するデコード手段を備え、

前記中間データ保持手段は、前記デコード手段で検出された前記桁位置に基づいて、前記中間データのうち、前記第 2 のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素の一部又は全部が除かれ、少なくとも前記第 2 のシフト手段から所望シフト後の出力データとして出力されるデータ要素を含む桁位置のデータ要素を新たに保持する

ことを特徴とするバレルシフト装置。

【請求項 2】

請求項 1 記載のバレルシフト装置において、

前記デコード手段は、前記第 2 の制御信号が示す情報の全部に基づいて、前記第 1 のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第 2 のシフト手段から所望シフト後の出力データとして出力されるデータ要素のみの前記中間データ内での桁位置を検出する

ことを特徴とするバレルシフト装置。

【請求項 3】

請求項 1 記載のバレルシフト装置において、

前記デコード手段は、前記第 2 の制御信号が示す情報の一部に基づいて、前記第 1 のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第 2 のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素を一部除いたデータ要素の前記中間データ内での桁位置を検出する

ことを特徴とするバレルシフト装置。

【請求項 4】

請求項 1 記載のバレルシフト装置において、

前記第 2 の制御信号は複数のビット信号からなる制御信号であって、

前記中間データ保持手段は、前記第 2 の制御信号の所定の 1 ビット信号に基づいて、前記第 1 のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第 2 のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素が一部除かれた桁位置のデータ要素を保持及び出力する

ことを特徴とするバレルシフト装置。

【請求項 5】

所定のビット幅の入力データを受け、第 1 のシフト量及び第 2 のシフト量を組み合わせた合計シフト量だけ前記入力データを左右シフトして、所望シフト後の出力データとして出力するバレルシフト装置において、

前記入力データを受け、前記第 1 のシフト量を制御する第 1 の制御信号に基づいて前記

入力データをシフトさせて、中間データとして出力する第1のシフト手段と、

前記第1のシフト手段からの中間データを保持するための中間データ保持手段と、

前記第2のシフト量を制御する第2の制御信号を保持し、出力する制御信号保持手段と

前記中間データ保持手段に保持された中間データを受け、前記制御信号保持手段の出力する前記第2の制御信号に基づいて、前記受けた中間データをシフトさせて、前記所望シフト後の出力データとして出力する第2のシフト手段を備えると共に、

前記第1の制御信号を受け、前記第1のシフト手段によるシフト後の前記入力データのデータ要素を含む前記中間データから、前記シフト後の前記入力データのデータ要素以外のデータ要素を一部又は全部除いたデータ要素の桁位置を検出するデコード手段とを備え

前記中間データ保持手段は、前記デコード手段で検出された桁位置に基づいて、前記中間データを構成する全てのデータ要素のうち、前記シフト後の前記入力データのデータ要素以外のデータ要素の一部又は全部が除かれ、少なくとも前記入力データを含むデータ要素を保持し、出力するものであって、保持したデータより下位の桁位置には値0を出力し、保持したデータより上位の桁位置には算術シフト演算の場合は前記入力データの符号を出力し、論理シフト演算の場合は値0を出力する

ことを特徴とするバレルシフト装置。

【請求項6】

請求項5記載のバレルシフト装置において、

前記デコード手段は、前記第1の制御信号が示す情報の全部に基づいて、前記第1のシフト手段からの前記中間データを構成する全てのデータ要素のうち、前記第1のシフト手段によるシフト後の前記入力データのデータ要素のみの前記中間データ内での桁位置を検出する

ことを特徴とするバレルシフト装置。

【請求項7】

請求項5記載バレルシフト装置において、

前記デコード手段は、前記第1の制御信号が示す情報の一部に基づいて、前記第1のシフト手段からの前記中間データを構成する全てのデータ要素のうち、前記第1のシフト手段によるシフト後の前記入力データのデータ要素以外のデータ要素を一部除いたデータ要素の前記中間データ内での桁位置を検出する

ことを特徴とするバレルシフト装置。

【請求項8】

請求項5に記載のバレルシフト装置において、

前記第1の制御信号は複数のビット信号からなる制御信号であって、

前記中間データ保持手段は、前記第1の制御信号の所定の1ビット信号に基づいて、前記第1のシフト手段からの前記中間データを構成する全てのデータ要素のうち、前記第1のシフト手段によるシフト後の前記入力データのデータ要素以外のデータ要素が一部除かれた桁位置のデータ要素を保持及び出力する

ことを特徴とするバレルシフト装置。

【発明の名称】 バレルシフト装置

【技術分野】

【0001】

本発明は、デジタル信号処理における多ビットデータの左右シフト処理を行うバレルシフト装置に関するものである。

【背景技術】

【0002】

従来のバレルシフト装置は、多段のセレクトにより構成される。一方、信号処理においてスループットを向上させる目的で、バレルシフト装置をパイプラインレジスタで分割し、シフト処理を多段処理ステージで実行する必要性が生じている。

【0003】

従来の多段セレクト構成のバレルシフト装置として、例えば、特許文献1がある。特許文献1記載のバレルシフト装置は、制御信号によりシフトするかしないかを選択するセレクトにより構成されるシフト回路を多段に組合わせた構造を持つ。例えば、左15ビットシフトから右16ビットシフトの間に任意のシフトを実現する場合、それぞれ1ビット、2ビット、4ビット、8ビットの左シフト機能を持つシフト回路と16ビット右シフト機能を持つシフト回路を多段に組合わせることにより実現できる。この場合、右5ビットシフトを実現するには、1ビット左シフト回路、2ビット左シフト回路、8ビット左シフト回路と16ビット右シフト回路をアクティブにすればよい。

【0004】

以下に図10を用いて特許文献1記載のバレルシフト装置にパイプライン構造を導入した際の構成及びその動作の説明を詳細に行う。

【0005】

図10は特許文献1記載のバレルシフト装置にパイプライン構造を導入した際の概略図である。第1のシフト回路10は入力データを第1の制御信号に基づいてシフト処理し中間データ30として出力する。ここで、第1のシフト回路10は1ビット左シフト回路11と2ビット左シフト回路12と4ビット左シフト回路13とから構成されており、左7ビットシフトから0ビットシフトまでの任意のシフトを実現する。

【0006】

中間データ保持回路30は第1のシフト回路10の出力である中間データを保持し、次の第2のシフト回路へ出力する。

【0007】

制御信号保持回路40は第2の制御信号を保持し、出力する。

【0008】

第2のシフト回路50は中間データを制御信号保持回路40の出力する第2の制御信号に基づいてシフト処理し出力データとして出力する。ここで、第2のシフト回路50は8ビット左シフト回路51と16ビット右シフト回路52とから構成されており、第1のシフト回路でのシフト処理と組合わせることにより入力データの左15ビットシフトから右16ビットシフトの間の任意のシフトを実現する。

【特許文献1】 特開2000-293354号公報（第7頁、第1図）

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、従来のパイプラインレジスタで分割するバレルシフト装置の技術では、第1のシフト回路を構成する各シフト回路を経由することにデータのビット幅が大きくなり、これにより、第1のシフト回路から出力される中間データのビット幅が大きくなり、更には、中間データ保持回路の実装規模が増大してしまうため、消費電力が増加するという課題があった。

【0010】

本発明は上記従来課題を解決するものであり、中間データ保持回路のデータの格納動作を制御することにより、パイプライン構造化による電力増加を抑制すること目的とする【課題を解決するための手段】

【0011】

上記目的を達成するために、本発明のバレルシフト装置では、中間データ保持回路に保持する中間データのうち、最終出力データとして出力されるデータ要素以外の全部又は一部の不要なデータ要素の格納動作を抑制するようにする。

【0012】

すなわち、請求項1記載の発明のバレルシフト装置は、所定のビット幅の入力データを受け、第1のシフト量及び第2のシフト量を組み合わせた合計シフト量だけ前記入力データを左右シフトして、所望シフト後の出力データとして出力するバレルシフト装置において、前記入力データを受け、前記第1のシフト量を制御する第1の制御信号に基づいて前記入力データをシフトし、中間データとして出力する第1のシフト手段と、前記第1のシフト手段からの中間データを保持するための中間データ保持手段と、前記第2のシフト量を制御する前記第2の制御信号を保持し、出力する制御信号保持手段と、前記中間データ保持手段に保持された中間データを受け、前記制御信号保持手段の出力する前記第2の制御信号に基づいて、前記受けた中間データをシフトさせて、前記所望シフト後の出力データとして出力する第2のシフト手段とを備え、前記第2の制御信号を受け、この第2の制御信号に基づき、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素を一部又は全部除いたデータ要素の前記中間データ内での桁位置を検出するデコード手段を備え、前記中間データ保持手段は、前記デコード手段で検出された前記桁位置に基づいて、前記中間データのうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素の一部又は全部が除かれ、少なくとも前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素を含む桁位置のデータ要素を新たに保持することを特徴とする。

【0013】

請求項2記載の発明は、請求項1記載のバレルシフト装置において、前記デコード手段は、前記第2の制御信号が示す情報の全部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素のみの前記中間データ内での桁位置を検出することを特徴とする。

【0014】

請求項3記載の発明は、請求項1記載のバレルシフト装置において、前記デコード手段は、前記第2の制御信号が示す情報の一部に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素を一部除いたデータ要素の前記中間データ内での桁位置を検出することを特徴とする。

【0015】

請求項4記載の発明は、請求項1記載のバレルシフト装置において、前記第2の制御信号は複数のビット信号からなる制御信号であって、前記中間データ保持手段は、前記第2の制御信号の所定の1ビット信号に基づいて、前記第1のシフト手段からの中間データを構成する全てのデータ要素のうち、前記第2のシフト手段から所望シフト後の出力データとして出力されるデータ要素以外のデータ要素が一部除かれた桁位置のデータ要素を保持及び出力することを特徴とする。

【0016】

請求項5記載の発明のバレルシフト装置は、所定のビット幅の入力データを受け、第1のシフト量及び第2のシフト量を組み合わせた合計シフト量だけ前記入力データを左右シフトして、所望シフト後の出力データとして出力するバレルシフト装置において、前記入力データを受け、前記第1のシフト量を制御する第1の制御信号に基づいて前記入力デー

ノをシフトさせて、中間データとして出力する第1のシフト手段と、前記第1のシフト手段からの中間データを保持するための中間データ保持手段と、前記第2のシフト量を制御する第2の制御信号を保持し、出力する制御信号保持手段と、前記中間データ保持手段に保持された中間データを受け、前記制御信号保持手段の出力する前記第2の制御信号に基づいて、前記受けた中間データをシフトさせて、前記所望シフト後の出力データとして出力する第2のシフト手段を備えると共に、前記第1の制御信号を受け、前記第1のシフト手段によるシフト後の前記入力データのデータ要素を含む前記中間データから、前記シフト後の前記入力データのデータ要素以外のデータ要素の一部又は全部除いたデータ要素の桁位置を検出するデコード手段とを備え、前記中間データ保持手段は、前記デコード手段で検出された桁位置に基づいて、前記中間データを構成する全てのデータ要素のうち、前記シフト後の前記入力データのデータ要素以外のデータ要素の一部又は全部が除かれ、少なくとも前記入力データを含むデータ要素を保持し、出力するものであって、保持したデータより下位の桁位置には値0を出力し、保持したデータより上位の桁位置には算術シフト演算の場合は前記入力データの符号を出力し、論理シフト演算の場合は値0を出力することを特徴とする。

【0017】

請求項6記載の発明は、請求項5記載のバレルシフト装置において、前記デコード手段は、前記第1の制御信号が示す情報の全部に基づいて、前記第1のシフト手段からの前記中間データを構成する全てのデータ要素のうち、前記第1のシフト手段によるシフト後の前記入力データのデータ要素のみの前記中間データ内での桁位置を検出することを特徴とする。

【0018】

請求項7記載の発明は、請求項5記載バレルシフト装置において、前記デコード手段は、前記第1の制御信号が示す情報の一部に基づいて、前記第1のシフト手段からの前記中間データを構成する全てのデータ要素のうち、前記第1のシフト手段によるシフト後の前記入力データのデータ要素以外のデータ要素の一部除いたデータ要素の前記中間データ内での桁位置を検出することを特徴とする。

【0019】

請求項8記載の発明は、請求項5に記載のバレルシフト装置において、前記第1の制御信号は複数のビット信号からなる制御信号であって、前記中間データ保持手段は、前記第1の制御信号の所定の1ビット信号に基づいて、前記第1のシフト手段からの前記中間データを構成する全てのデータ要素のうち、前記第1のシフト手段によるシフト後の前記入力データのデータ要素以外のデータ要素が一部除かれた桁位置のデータ要素を保持及び出力することを特徴とする。

【0020】

以上により、請求項1～4記載の発明では、第2のシフト手段で施されるシフト量を制御する第2の制御信号を、デコード手段を用いてデコードすることにより、中間データから出力データとして出力されるデータ要素の桁位置を検出し、中間データ保持手段では、少なくとも前記桁位置の中間データ要素を保持するように動作する。従って、最終データとして出力されない不用なデータ要素を中間データ保持手段で格納せず、以前保持していたデータ要素を保持し続けるので、その分、省電力化が可能となる。

【0021】

請求項5～8記載の発明では、第1のシフト手段で施されるシフト量を制御する第1の制御信号を、デコード手段を用いてデコードすることにより、中間データとして第1のシフト手段から出力される入力データのデータ要素の中間データにおける桁位置を検出し、中間データ保持手段では、少なくとも入力データのデータ要素を保持出力し、保持したデータより下位の桁位置には値0を出力し、保持したデータより上位の桁位置には算術シフト演算の場合は入力データの符号を出力し論理シフト演算の場合は値0を出力するように動作する。従って、入力データのデータ要素でない中間データのデータ要素を中間データ保持手段で格納しないので、その分、省電力化が可能となる。

【0022】

以上説明したように、請求項1～4記載の発明のバレルシフト装置によれば、パイプライン構造化により挿入される中間データ保持手段からデータを出力するまでの間の第2のシフト手段で施されるシフト量の情報を制御信号として用いて、中間データ保持手段において、最終的には出力されないデータ要素の格納保持の動作を抑制したので、省電力化を実現することが可能となる。

【0023】

また、請求項5～8記載の発明バレルシフト装置によれば、データの入力から、パイプライン構造化により挿入される中間データ保持手段までの間の第1のシフト手段で施されるシフト量の情報を制御手段として用いて、中間データ保持手段において、最終的には出力されないデータ要素の格納保持の動作を抑制したので、省電力化を実現することが可能となる。

【発明を実施するための最良の形態】

【0024】

以下、本発明の実施の形態について図面を参照しながら説明する。

【0025】

(第1の実施の形態)

第1の実施の形態のバレルシフト装置の概略図を図1に示す。

【0026】

本実施の形態におけるバレルシフト装置は、図1に示すように、パイプラインレジスタで分割され、多段処理ステージでシフト処理が実行される。

【0027】

ここでは、この図1を用いて、本実施の形態のバレルシフト装置の構成を説明する。尚、本実施の形態では、簡単のため16ビットデータ(所定のビット幅の入力データ)を左15ビットから右16ビットの範囲で任意に算術シフト可能なバレルシフト装置を前提として説明する。

【0028】

図1において、10は第1のシフト回路であり、3ビットデータからなる第1の制御信号に基づいて入力データをシフト処理し、中間データ保持回路30へ中間データを出力する。この第1のシフト回路10は、1ビット左シフト回路11、2ビット左シフト回路12及び4ビット左シフト回路13の3つのシフト回路で構成される。これら3つのシフト回路11、12、13は、それぞれ、前記第1の制御信号のうち対応するビットデータを受ける。すなわち、第1の制御信号の各ビットデータの組み合わせにより、3つのシフト回路11、12、13でのシフト処理を組み合わせ、左7ビットシフトから0ビットシフトまでの任意のシフト量(第1のシフト量)を実現する。

【0029】

50は第2のシフト回路であって、中間データ保持回路30の出力する中間データを受け、第1のシフト回路10におけるシフト処理に続いて所定のシフト処理を行い、全体として所望のシフト完成させ、出力データを出力する。この第2のシフト回路50は、図1に示すように、8ビット左シフト回路51と16ビット右シフト回路52とから構成される。また、この第2のシフト回路50は、第1のシフト回路10と同様に外部から入力される第2の制御信号の制御によりシフト(第2のシフト量のシフト)処理を行うのであるが、第2の制御信号は第2のシフト回路50へ直接入力されない。第2の制御信号は、デコード回路20に入力されると共に、第2の制御信号を一旦保持する制御信号保持回路40を介して第2のシフト回路50に入力される。この制御信号保持回路40を介して第2のシフト回路50に入力された第2の制御信号は、2分割され、第2のシフト回路50中の2つのシフト回路51及び52にそれぞれ入力される。そして、2つのシフト回路51及び52によるそれぞれのシフト処理の組み合わせにより、第1のシフト回路10によるシフト処理に続くシフト処理を行い、入力データの左15ビットシフトから右16ビット

シフトの間の正逆のシフト、すなわち、所望のシフトを完成させ、出力する。

【0030】

一方、第2の制御信号が入力されたデコード回路20は、中間データのデータ要素のうち、第2のシフト回路50によりシフト処理された結果として出力される出力データのデータ要素の中間データ保持回路30中の桁位置を、第2の制御信号に基づいて検出し、その検出結果を中間データ保持回路30に対して出力する。このデコード回路20の検出結果を用いて、中間データ保持回路30は、出力データとして第2のシフト回路50から出力される桁位置のデータ要素のみ、又は、この出力される桁位置のデータ要素を含むデータ要素であって且つ出力データに反映されない不用なデータを一部除いたデータ要素を保持する。このようなデコード回路20の動きにより、中間データ保持回路30は、出力データのデータ要素として出力されない不用なデータ要素を保持しなくても済む分だけ不用な格納動作を省略できるので、省電力化が可能である。

【0031】

次に、図2を用いて、本実施の形態のバレルシフト装置について、具体的なシフト処理の動作説明を行う。ここでは、シフト処理の具体例として、11ビット右シフト処理を行った場合について説明する。また、図中の“0”は値0を、“S”は符号拡張を、“H”は保持データを示す。

【0032】

図2に示す第1の制御信号C1[2:0]は3ビットデータであり、3つの1ビットデータC1[0]、C1[1]、C1[2]から構成される。第1のシフト回路10を構成する1ビット左シフト回路11、2ビット左シフト回路12、4ビット左シフト回路13は、それぞれ、第1の制御信号の各ビットデータC1[0]、C1[1]、C1[2]により制御される。11ビット右シフト処理時は第1の制御信号の1ビットデータC1[0]、C1[2]がアクティブな状態“Hi”、また、第1の制御信号の1ビットデータC1[1]がパッシブな状態“Lo”となる。第1のシフト回路10に入力された入力データは第1の制御信号C1[2:0]に基づいてシフト処理される。

【0033】

まず、1ビット左シフト回路11で1ビット左シフト処理され、0番目のビットデータには値0が埋められ、17ビット幅データとして出力される。次に、2ビット左シフト処理回路12ではシフト処理されず、17番目のビットデータ及び18番目のビットデータが符号拡張され、19ビット幅データとして出力される。更に、4ビット左シフト回路13では4ビット左シフト処理され、0番目のビットデータ、1番目のビットデータ、2番目のビットデータ、及び3番目のビットデータには値0が埋められ、23ビット幅データの中間データとして中間データ保持回路30へ出力される。

【0034】

第2の制御信号C2[1:0]は2ビットデータであり、1ビットデータC2[0]、C2[1]で構成される。第2のシフト回路50を構成する8ビット左シフト回路51、16ビット右シフト回路52は、第2の制御信号の各ビットデータC2[0]、C2[1]で制御される。デコード回路20は、それぞれ、第2のシフト回路50でのシフト処理後出力される出力データのデータ要素が中間データのどの桁位置に出力されているかを第2の制御信号C2[1:0]から検出し、この検出結果を中間データ保持回路30へ出力する。この桁位置の検出動作を具体的に説明すると、例えば、11ビット右シフト処理時は第2の制御信号のビットデータC2[1]がアクティブな状態“Hi”、また、第2の制御信号のビットデータC2[0]がパッシブな状態“Lo”となり、第2のシフト回路50では16ビット右シフト処理が施されるので、中間データの16番目のビットから22番目までのビットの桁位置のデータ要素が出力データのデータ要素として出力されることが分かる。従って、中間データ保持回路30はデコード回路20の桁位置の検出結果に基づいて、中間データの16番目のビットから22番目までのビットの桁位置のデータ要素を新たに格納保持し、これら検出された桁位置以外の0番目のビットから15番目のビットまでの桁位置のデータ要素に関しては以前の保持データ要素をそのまま継続して保持

る。

【0035】

制御信号保持回路40は第2の制御信号C2[1:0]を保持し、第2のシフト回路50へ出力する。第2のシフト回路50を構成する8ビット左シフト回路51、16ビット右シフト回路52はそれぞれ第2の制御信号の各ビットデータC2[0]、C2[1]が制御信号保持回路40に保持された後の出力により制御される。以下、簡単のため制御信号保持回路40に保持された後の信号も第2の制御信号C2[1:0]と表現する。11ビット右シフト処理時は第2の制御信号のビットデータC2[1]がアクティブな状態“Hi”、また、第2の制御信号のビットデータC2[0]がパッシブな状態“Lo”となる。第2のシフト回路50に入力された中間データ保持回路30の出力は前記第2の制御信号C2[1:0]に基づいてシフト処理される。

【0036】

まず、8ビット左シフト処理回路51ではシフト処理されず、23番目のビットから30番目のビットまでの桁位置が符号拡張され、31ビット幅データとして出力される。次に、16ビット右シフト回路52では16ビット右シフト処理され、15番目のビットの桁位置が符号拡張され、16ビット幅データの出力データとして出力される。

【0037】

図3は中間データ保持回路30の動作説明図である。中間データ保持回路30は第2の制御信号C2[1:0]の状態によりデコード回路20の出力に基づいて、以下のように動作する。

【0038】

第2の制御信号の各ビットデータC2[0]、C2[1]が共にパッシブな状態“Lo”のとき、0番目のビットから15番目のビットまでの桁位置の中間データのデータ要素がそのまま16ビットの出力データとして出力されるので、その0番目のビットから15番目のビットまでの桁位置の中間データのデータ要素が中間データ保持回路30に格納保持される。

【0039】

第2の制御信号のビットデータC2[0]がアクティブな状態“Hi”で、また、第2の制御信号のビットデータC2[1]がパッシブな状態“Lo”のとき、8ビット左シフト処理回路51により8ビット左シフトされ、16ビット右シフト処理回路52ではシフト処理されずそのままであり、第2のシフト回路50では8ビット左シフトされることになるため、中間データの中で8ビット左シフトされて出力データの16ビット幅に残る0番目のビットから7番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0040】

第2の制御信号のビットデータC2[1]がアクティブな状態“Hi”で、また、第2の制御信号のビットデータC2[0]がパッシブな状態“Lo”のとき、8ビット左シフト処理回路51ではシフト処理されずそのままであり、16ビット右シフト処理回路52により16ビット右シフト処理され、第2のシフト回路50では16ビット右シフト処理されることになるため、中間データの中で16ビット右シフトされて出力データの16ビット幅に残る16番目のビットから22番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0041】

第2の制御信号の各ビットデータC2[0]、C2[1]が共にアクティブな状態“Hi”のとき、8ビット左シフト処理回路51により8ビット左シフトされ、16ビット右シフト処理回路52により16ビット右シフト処理され、第2のシフト処理回路50では8ビット右シフト処理されることになるため、中間データの中で8ビット右シフトされて出力データの16ビット幅に残る8番目のビットから22番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0042】

このように、中間データ中の出力データとなるデータ要素のみが中間データ保持回路30に格納保持されることになる。

【0043】

図4は中間データ保持回路30の動作説明図である。デコード回路20は第2の制御信号C2[1:0]の一部の信号をデコードするようにしてもよい。ここでは、第2の制御信号のビットデータ(所定の1ビットデータ)C2[1]をそのまま中間データ保持回路30に出力する。中間データ保持回路30は第2の制御信号のビットデータC2[1]の状態によりデコード回路20の出力に基づいて、以下のように動作する。

【0044】

第2の制御信号のビットデータC2[1]がパッシブな状態“Lo”のとき、図3で説明したように、第2の制御信号のビットデータC2[0]が何れの状態であっても、中間データ中の0番目のビットから15番目のビットまでの桁位置のデータ要素には、第2のシフト回路50から出力される出力データが含まれるので、0番目のビットから15番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0045】

また、第2の制御信号のビットデータC2[1]がアクティブな状態“Hi”のとき、図3で説明したように、第2の制御信号のビットデータC2[0]が何れの状態であっても、中間データ中の8番目のビットから22番目のビットまでの桁位置のデータ要素には、第2のシフト回路50から出力される出力データが含まれているので、8番目のビットから22番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0046】

このように、少なくとも出力データとなるデータ要素を含む桁位置がデコード回路20により検出され、その出力データを含む桁位置のデータ要素が中間データ保持回路30に格納保持され、一部に符号拡張データ、又は値0を埋めたデータが格納される場合もある。

【0047】

上記図3の場合が省電力に最も効果的であるが、第2の制御信号C2[1:0]の一部についてデコードすることによりデコード回路20の回路を簡単化することができる。

【0048】

以上、算術シフト処理を前提に述べたが、論理シフト処理については符号拡張を値0拡張に置き換えればよい。また、他のシフト処理についても同様である。

【0049】

このようにして、第1の実施の形態においては中間データ保持回路30の動作を制御することにより、中間データ保持回路30を構成する記憶回路への不要なデータ要素の格納動作を防ぎ、以前のデータ要素を引き続き保持することにより、従来の技術と比べて中間データ保持回路30の省電力化と第2のシフト回路の活性化を抑えることによる省電力化が可能となる。

【0050】

(第2の実施の形態)

第2の実施の形態のバレルシフト装置の概略図を図5に示す。

【0051】

本実施の形態における図5のバレルシフト装置は、第1の実施の形態と同様に、パイプラインレジスタで分割され、多段処理ステージでシフト処理が実行される。

【0052】

まず、図5を用いて、本実施の形態のバレルシフト装置の構成を説明する。尚、本実施の形態では、簡単のため16ビットデータ(所定のビット幅の入力データ)を左15ビットから右16ビットの範囲で任意に算術シフト可能なバレルシフト装置を前提として説明する。また、第1の実施の形態において、図1を用いて説明したバレルシフト装置と同一構成については、同一符号を付し、その説明を省略する。

【 0 0 5 3 】

図5におけるバレルシフト装置が、第1の実施の形態において示した図1のバレルシフト装置と異なるのは、デコード回路60の受ける制御信号が第2の制御信号ではなく第1の制御信号であり、第1のシフト回路10によりシフトされた入力データ要素の、中間データ保持回路30中における桁位置を、入力された第1の制御信号に基づいて検出する点である。この第1の制御信号に基づく検出では、デコード回路60は、第1のシフト回路10から出力されるデータのうち、少なくとも第1のシフト回路によるシフト後の入力データのデータ要素が出力される桁位置を検出する。そして、この検出結果を受けた中間データ保持回路30は、入力データ以外のデータ要素を一部又は全部除いたデータ要素のみを保持し、この保持していたデータ要素を第2のシフト回路50へ出力する。

【 0 0 5 4 】

これにより、中間データ保持回路30に保持すべきデータを縮小することができ、不要な格納動作を抑制できるので省電力化が可能である。

【 0 0 5 5 】

次に、図6を用いて、本実施の形態のバレルシフト装置について、具体的なシフト処理の動作説明を行う。ここでは、シフト処理の具体例として、11ビット右シフト処理を行った場合について説明する。また、図中の“0”は値0を、“S”は符号拡張を、“H”は保持データを示す。

【 0 0 5 6 】

第1の制御信号C1[2:0]は3ビットデータであり、1ビットデータC1[0]、C1[1]、C1[2]で構成される。第1のシフト回路10を構成する1ビット左シフト回路11、2ビット左シフト回路12、4ビット左シフト回路13はそれぞれ第1の制御信号の各ビットデータC1[0]、C1[1]、C1[2]により制御される。11ビット右シフト処理時は第1の制御信号のビットデータC1[0]、C1[2]がアクティブな状態“Hi”、また、第1の制御信号のビットデータC1[1]がパッシブな状態“Lo”となる。第1のシフト回路10に入力された入力データは前記第1の制御信号C1[2:0]に基づいてシフト処理される。

【 0 0 5 7 】

まず、1ビット左シフト回路11で1ビット左シフト処理され、0番目のビットの桁位置には値0のデータ要素が埋められ、17ビット幅データとして出力される。次に、2ビット左シフト処理回路12ではシフト処理されず、17番目のビットと18番目のビットとが符号拡張され、19ビット幅データとして出力される。更に、4ビット左シフト回路13では4ビット左シフト処理され、0番目のビット、1番目のビット、2番目のビット、及び3番目のビットの桁位置には値0のデータ要素が埋められ、23ビット幅データの中間データとして中間データ保持回路30へ出力される。

【 0 0 5 8 】

デコード回路60は第1の制御信号C1[2:0]から、入力データのデータ要素が中間データのどの桁位置に出力されているかを検出し、その検出結果を中間データ保持回路30へ出力する。11ビット右シフト処理時は第1の制御信号のビットデータC1[0]、C1[2]がアクティブな状態“Hi”、また、第1の制御信号のビットデータC1[1]がパッシブな状態“Lo”となり、第1のシフト回路10の部分では、5ビット左シフト処理が施されるので、中間データの5番目のビットから20番目のビットまでの桁位置のデータ要素が入力データのデータ要素であることが分かる。

【 0 0 5 9 】

中間データ保持回路30はデコード回路60の出力に基づいて、中間データの5番目のビットから20番目のビットまでの桁位置のデータ要素を格納保持し、0番目のビットから4番目のビット、及び21番目のビット、22番目のビットの桁位置のデータ要素に関しては以前の保持データ要素を継続して保持する。そして、第2のシフト回路50へ出力する段階で、0番目のビットから4番目のビットの桁位置については値0のデータ要素を出力し、5番目のビットから20番目のビットまでの桁位置については格納保持したデー

ノ変換を出力し、21番目のビット、22番目のビットについては付加拡張して出力する。このように、本実施の形態では、算術シフト演算の場合を示しているので、保持したデータより上位の桁位置には、入力データの符号が出力され、また、保持したデータより下位の桁位置には、値0のデータ要素が出力される。

【0060】

制御信号保持回路40は第2の制御信号C2[1:0]を保持し、第2のシフト回路50へ出力する。第2のシフト回路50を構成する8ビット左シフト回路51、16ビット右シフト回路52はそれぞれ第2の制御信号のビットデータC2[0]、C2[1]が制御信号保持回路40に保持された後の出力により制御される。以下、簡単のため制御信号保持回路40に保持された後の信号も第2の制御信号C2[1:0]と表現する。11ビット右シフト処理時は第2の制御信号のビットデータC2[1]がアクティブな状態“Hi”、また、第2の制御信号のビットデータC2[0]がパッシブな状態“Lo”となる。第2のシフト回路50に入力された中間データ保持回路30の出力は前記第2の制御信号C2[1:0]に基づいてシフト処理される。

【0061】

まず、8ビット左シフト処理回路51ではシフト処理されず、23番目のビットから30番目のビットが符号拡張され、31ビット幅データとして出力される。次に、16ビット右シフト回路52では16ビット右シフト処理され、15番目のビットが符号拡張され、16ビット幅データの出力データとして出力される。

【0062】

図7は中間データ保持回路30の動作説明図である。中間データ保持回路30は第1の制御信号C1[2:0]の状態によりデコード回路60の出力に基づいて、以下のように動作する。

【0063】

第1の制御信号のビットデータC1[0]、C1[1]、C1[2]が全てパッシブな状態“Lo”のとき、0番目のビットから15番目のビットまでの桁位置の入力データのデータ要素がそのまま16ビットの中間データとして第1のシフト回路10から出力されるので、0番目のビットから15番目のビットまでの桁位置の中間データのデータ要素が中間データ保持回路30に格納保持される。

【0064】

第1の制御信号のビットデータC1[0]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[1]、C1[2]がパッシブな状態“Lo”のとき、1ビット左シフト処理回路11により1ビット左シフトされ、2ビット左シフト処理回路12及び4ビット左シフト処理回路13ではシフト処理されずそのままであり、第1のシフト回路10としては1ビット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である1番目のビットから16番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0065】

第1の制御信号のビットデータC1[1]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[0]、C1[2]がパッシブな状態“Lo”のとき、2ビット左シフト処理回路12により2ビット左シフトされ、1ビット左シフト処理回路11及び4ビット左シフト処理回路13ではシフト処理されずそのままであり、第1のシフト回路10としては2ビット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である2番目のビットから17番目のビットまでのデータ要素が中間データ保持回路30に格納保持される。

【0066】

第1の制御信号のビットデータC1[0]、C1[1]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[2]がパッシブな状態“Lo”のとき、1ビット左シフト処理回路11により1ビット左シフトされ、且つ、2ビット左シフト処理回路12により2ビット左シフトされ、また、4ビット左シフト処理回路13ではシフト

処理されるので、第1のシフト回路10としては3ビット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である3番目のビットから18番目のビットまでのデータ要素が中間データ保持回路30に格納保持される。

【0067】

第1の制御信号のビットデータC1[2]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[0]、C1[1]がパッシブな状態“Lo”のとき、4ビット左シフト処理回路13により4ビット左シフトされ、1ビット左シフト処理回路11及び2ビット左シフト処理回路12ではシフト処理されずそのままであり、第1のシフト処理回路10としては4ビット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である4番目のビットから19番目のビットまでのデータ要素が中間データ保持回路30に格納保持される。

【0068】

第1の制御信号のビットデータC1[0]、C1[2]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[1]がパッシブな状態“Lo”のとき、1ビット左シフト処理回路11により1ビット左シフトされ、且つ、4ビット左シフト処理回路13により4ビット左シフトされ、また、2ビット左シフト処理回路12ではシフト処理されずそのままであり、第1のシフト処理回路10としては5ビット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である5番目のビットから20番目のビットまでのデータ要素が中間データ保持回路30に格納保持される。

【0069】

第1の制御信号のビットデータC1[1]、C1[2]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC2[0]がパッシブな状態“Lo”のとき、2ビット左シフト処理回路12により2ビット左シフトされ、且つ、4ビット左シフト処理回路13により4ビット左シフトされ、また、1ビット左シフト処理回路11ではシフト処理されずそのままであり、第1のシフト処理回路10としては6ビット左シフトすることとなるため、中間データとしては、入力データの出力される桁位置である6番目のビットから21番目のビットまでのデータ要素が中間データ保持回路30に格納保持される。

【0070】

第1の制御信号のビットデータC1[0]、C1[1]、C1[2]が全てアクティブな状態“Hi”のとき、1ビット左シフト処理回路11、2ビット左シフト処理回路12及び4ビット左シフト処理回路、すなわち、第1のシフト処理回路10により7ビット左シフトされるため、中間データとしては、入力データの出力される桁位置である7番目のビットから22番目のビットまでのデータ要素が中間データ保持回路30に格納保持される。

【0071】

このように、入力データのデータ要素のみが中間データ保持回路30に格納保持されることになる。

【0072】

図8は中間データ保持回路の動作説明図である。デコード回路60は第1の制御信号C1[2:0]の一部の信号をデコードするようにしてもよい。ここでは、第1の制御信号C1[2:1]をデコードして中間データ保持回路30に出力する。中間データ保持回路30は第1の制御信号C1[1:0]の状態によりデコード回路60の出力に基づいて、以下のように動作する。

【0073】

第1の制御信号のビットデータC1[1]、C1[2]が共にパッシブな状態“Lo”のとき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]が何れの状態であっても、中間データ中の0番目のビットから16番目のビットまでのデータ要素には、入力データのデータ要素が含まれるので、0番目のビットから16番目のビットまで桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0074】

第1の制御信号のビットデータC1[2]がパッシブな状態“Lo”で、また、第1の制御信号のビットデータC1[2]がパッシブな状態“Lo”のとき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]が何れの状態であっても、中間データ中の2番目のビットから18番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、2番目のビットから18番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0075】

第1の制御信号のビットデータC1[2]がアクティブな状態“Hi”で、また、第1の制御信号のビットデータC1[1]がパッシブな状態“Lo”のとき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]が何れの状態であっても、中間データ中の4番目のビットから20番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、4番目のビットから20番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0076】

第1の制御信号のビットデータC1[1]、C1[2]が共にアクティブな状態“Hi”のとき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]が何れの状態であっても、中間データ中の6番目のビットから22番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、6番目のビットから22番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0077】

このように、少なくとも入力データが含まれるデータ要素が中間データ保持回路30に格納保持され、一部に符号拡張データ、値0を埋めたデータが格納されることになる。

【0078】

図9は中間データ保持回路の動作説明図である。デコード回路60は第1の制御信号C1[2:0]の一部の信号をデコードするようにしてもよい。ここでは、図8を用いて示した場合よりも更に少ない、1ビットの第1の制御信号のビットデータC1[2]をそのまま中間データ保持回路30に出力する。中間データ保持回路30は第1の制御信号のビットデータC1[2]の状態によりデコード回路60の出力に基づいて、以下のように動作する。

【0079】

第1の制御信号のビットデータC1[2]がパッシブな状態“Lo”のとき、図7を用いて説明したように、第1の制御信号のビットデータC1[0]及びC1[1]が何れの状態であっても、中間データ中の0番目のビットから18番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、0番目のビットから18番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0080】

第1の制御信号のビットデータC1[2]がアクティブな状態“Hi”のとき、図7を用いて説明したように、第1の制御信号ビットデータC1[0]及びC1[1]が何れの状態であっても、中間データ中の4番目のビットから22番目のビットまでの桁位置のデータ要素には、入力データのデータ要素が含まれるので、4番目のビットから22番目のビットまでの桁位置のデータ要素が中間データ保持回路30に格納保持される。

【0081】

このように、少なくとも入力データのデータ要素が中間データ保持回路30に格納保持され、一部に符号拡張データ、値0埋めのデータが格納されることになる。

【0082】

上記図7の場合が省電力に最も効果的であるが、上記図8、図9のように第1の制御信号C1[2:0]の一部についてデコードすることによりデコード回路60の回路を簡単化することができる。

【0083】

以上、算術シフト処理を前提に述べたが、論理シフト処理については符号拡張を値0拡

次に直ぐ挿入される。また、他のシフト処理についても同様である。

【0084】

このようにして、第2の実施の形態においては中間データ保持回路30の動作を制御することにより、中間データ保持回路30を構成する記憶回路への不要なデータの格納動作を防ぎ、従来の技術と比べて中間データ保持回路30の省電力化が可能となる。

【産業上の利用可能性】

【0085】

本発明のバレルシフト装置は、パイプライン構造化によりシフト回路間に挿入される中間データ保持回路の動作を制御し、出力データに反映されない不要なデータ要素の格納保持の動作を抑制することにより、バレルシフト装置の省電力化が可能となるので、デジタル信号処理における多ビットデータの左右シフト処理を行う半導体装置の構成要素等として有用である。

【図面の簡単な説明】

【0086】

【図1】本発明の第1の実施の形態のバレルシフト装置の概略図である。

【図2】本発明の第1の実施の形態の11ビット右シフト処理の動作説明図である。

【図3】本発明の第1の実施の形態の中間データ保持回路の動作説明図である。

【図4】本発明の第1の実施の形態の中間データ保持回路の動作説明図である。

【図5】本発明の第2の実施の形態のバレルシフト装置の概略図である。

【図6】本発明の第2の実施の形態の11ビット右シフト処理の動作説明図である。

【図7】本発明の第2の実施の形態の中間データ保持回路の動作説明図である。

【図8】本発明の第2の実施の形態の中間データ保持回路の動作説明図である。

【図9】本発明の第2の実施の形態の中間データ保持回路の動作説明図である。

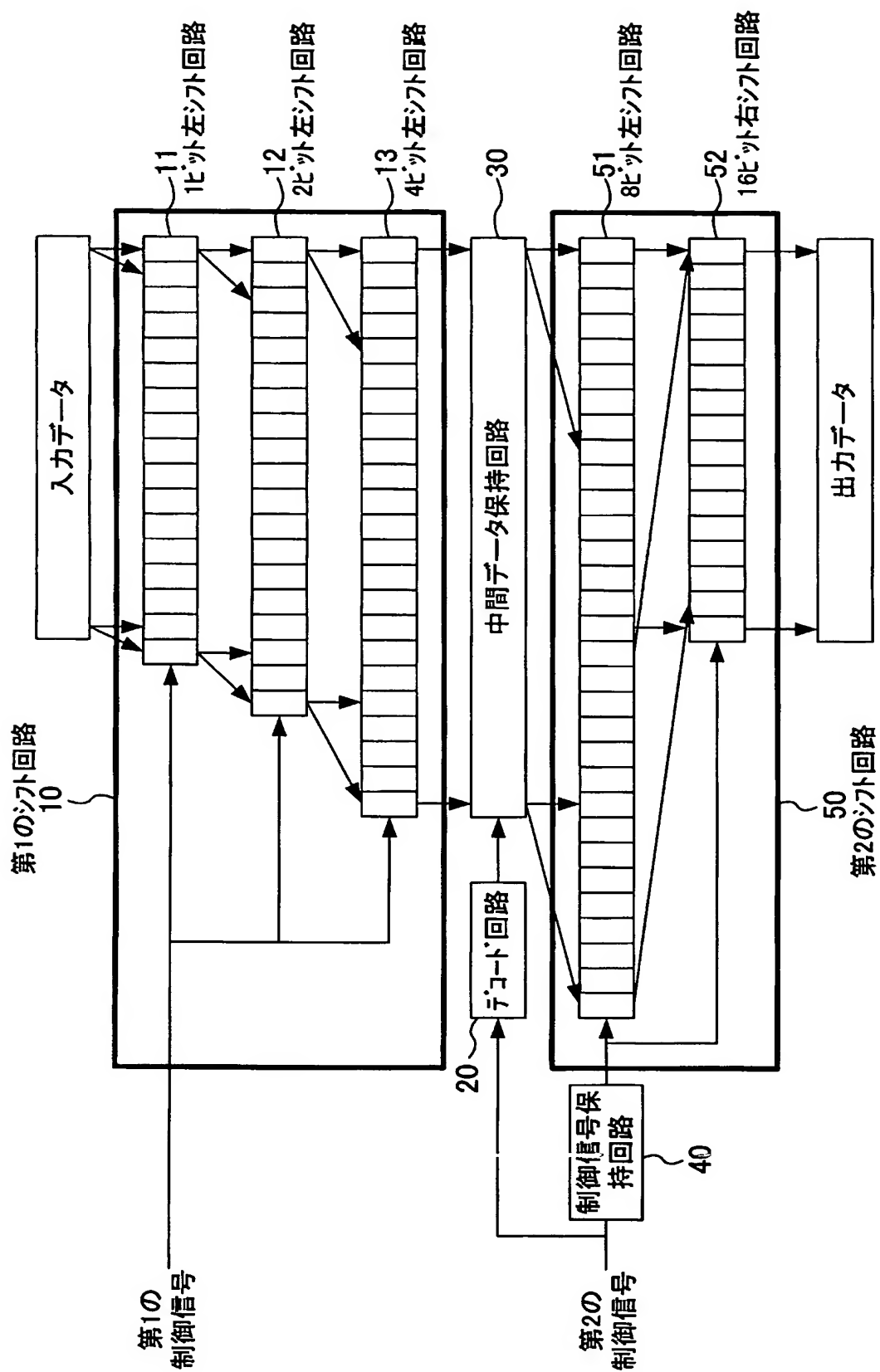
【図10】従来の技術の構成を示す概略図である。

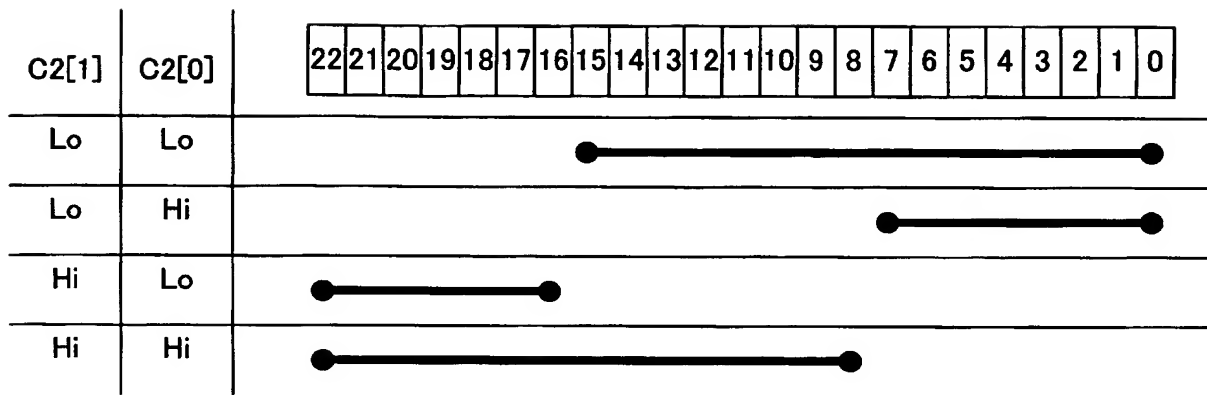
【符号の説明】

【0087】

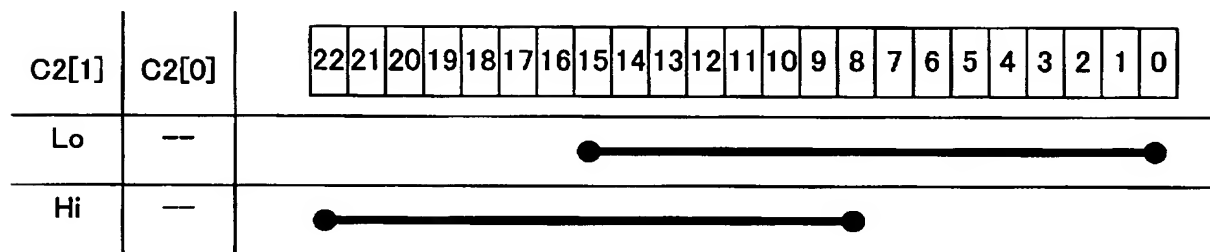
10	第1のシフト回路（第1のシフト手段）
11	1ビット左シフト回路
12	2ビット左シフト回路
13	4ビット左シフト回路
20、60	デコード回路（デコード手段）
30	中間データ保持回路（中間データ保持手段）
40	制御信号保持回路（制御信号保持手段）
50	第2のシフト回路（第2のシフト手段）
51	8ビット左シフト回路
52	16ビット右シフト回路
C1 [2:0]	第1の制御信号
C1 [0]、C1 [0]、 C1 [0]	第1の制御信号の1ビットデータ（所定の1ビット信号）
C2 [1:0]	第2の制御信号
C2 [0]、C2 [0]	第2の制御信号の1ビットデータ（所定の1ビット信号）
Hi	信号のアクティブな状態
Lo	信号のパッシブな状態
0	値0の出力
S	符号拡張出力
H	データ保持出力

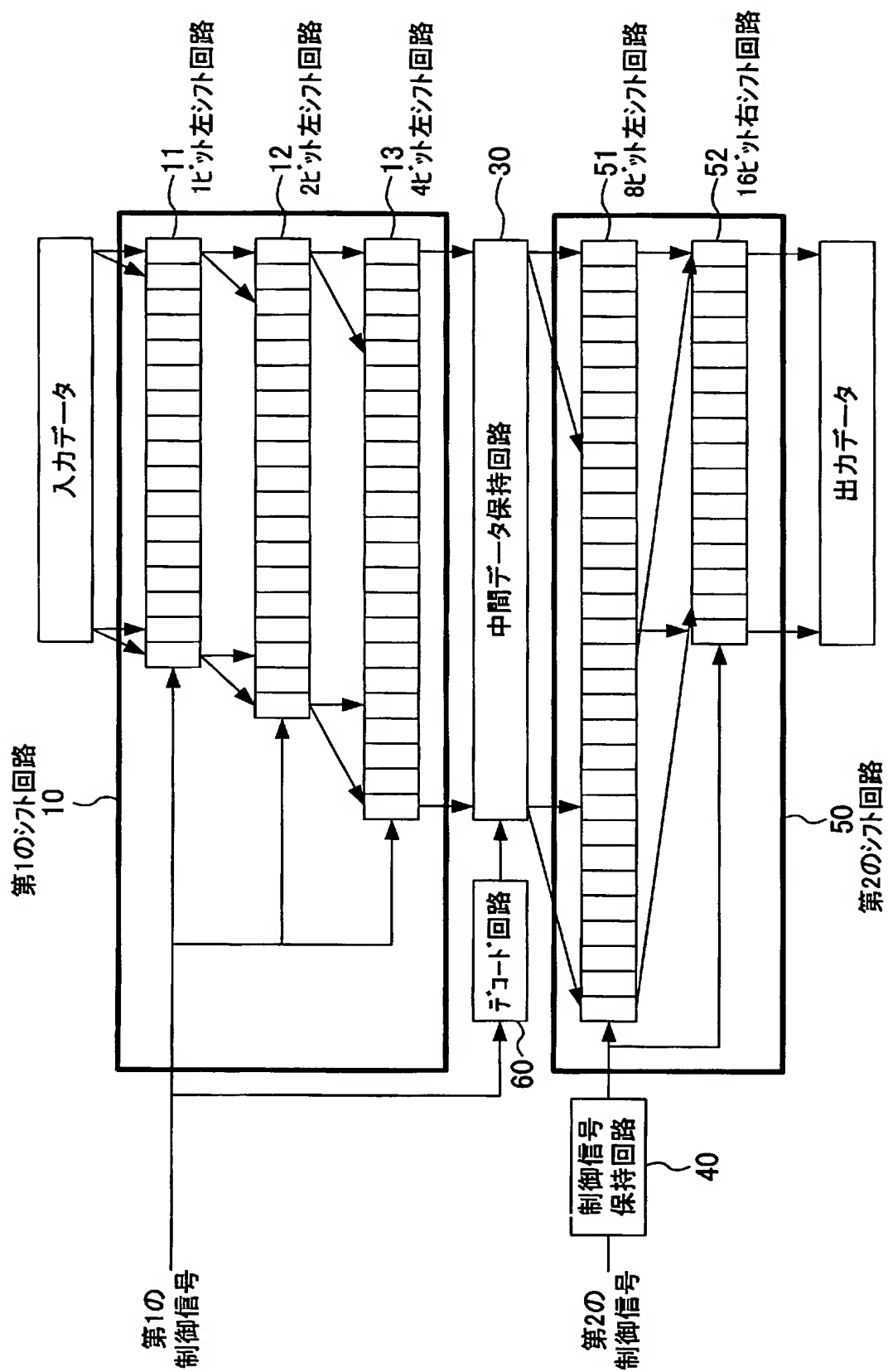
【 図 1 】

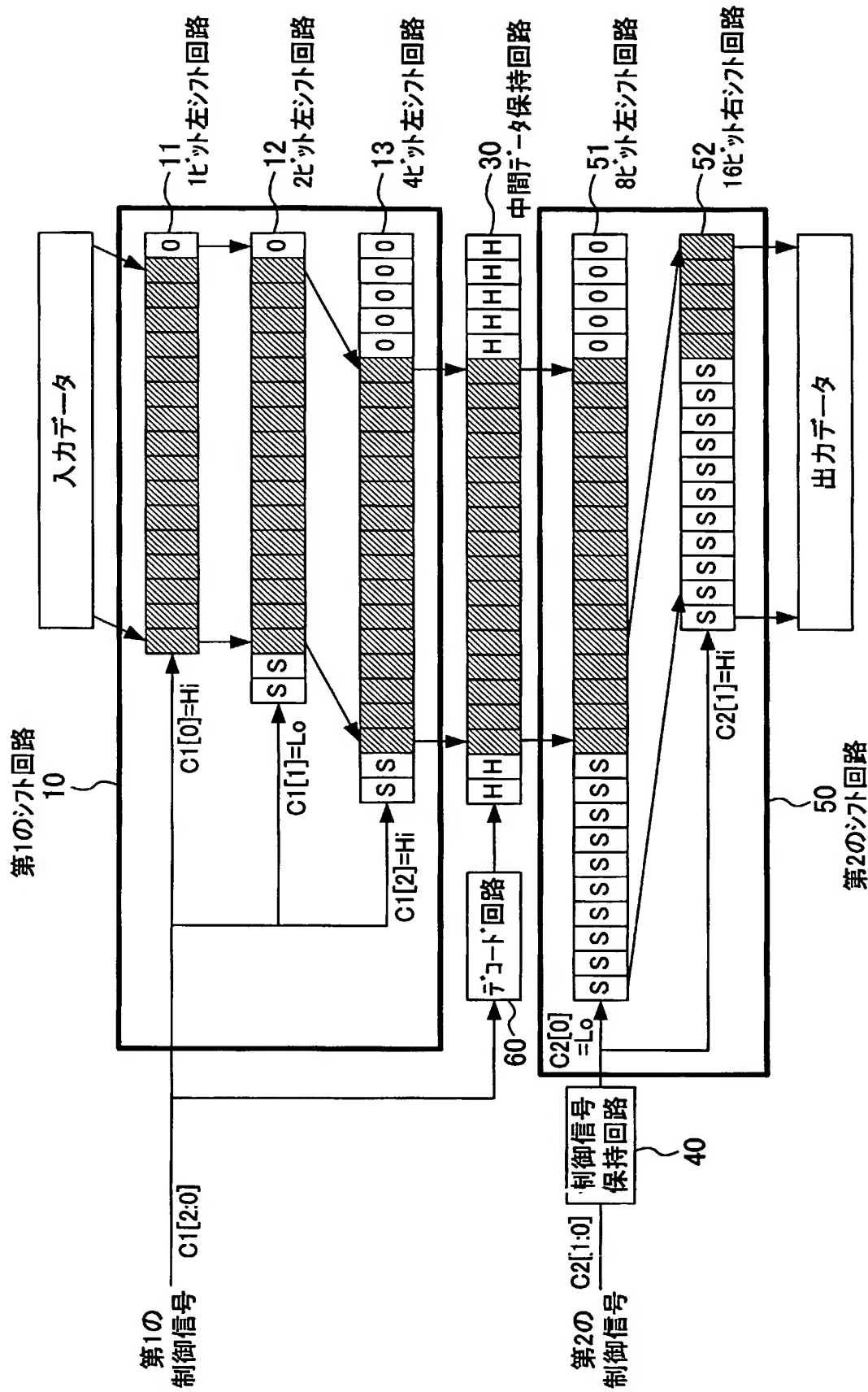


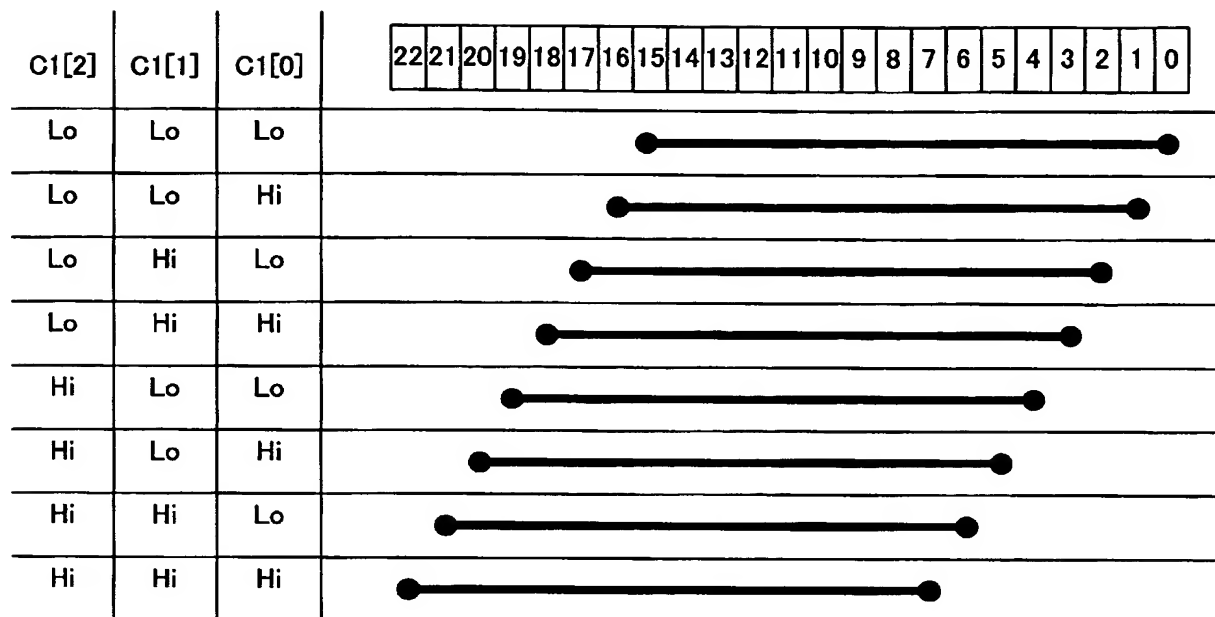


【圖 4】

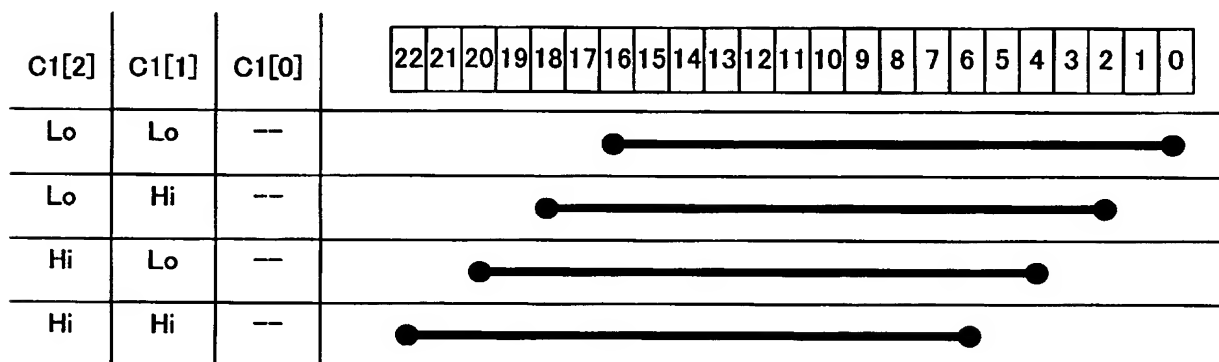


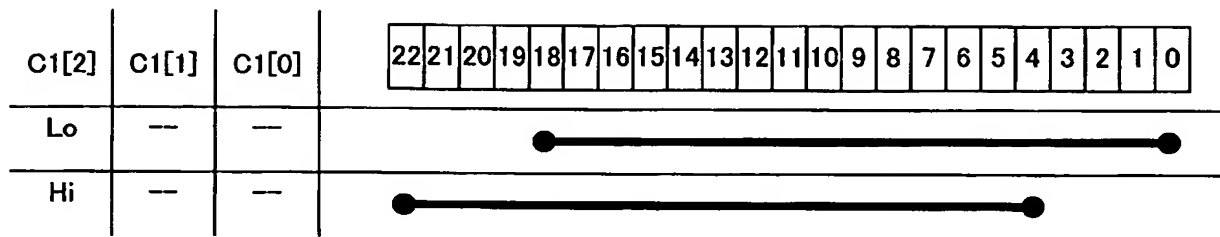


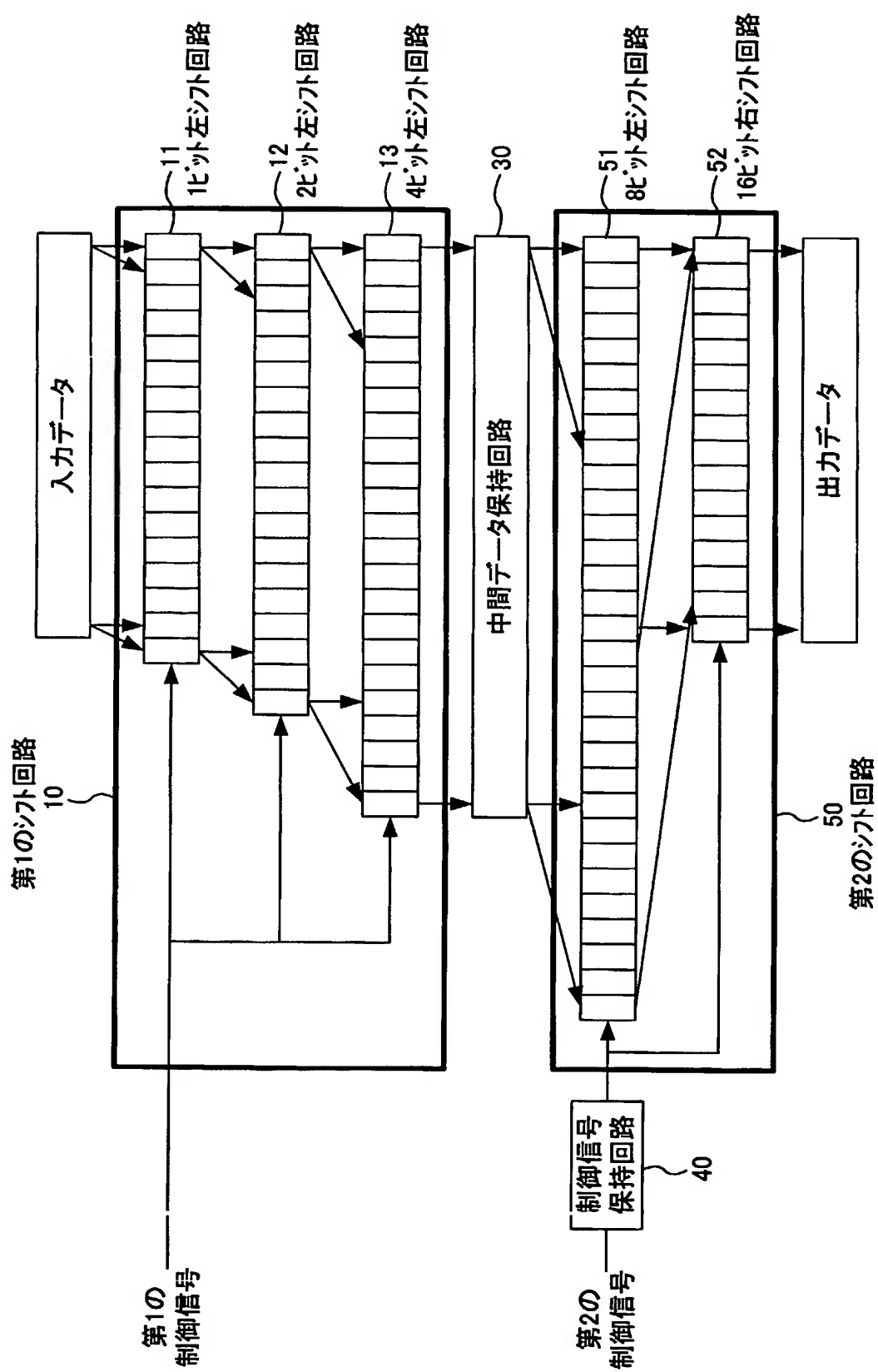




【図 8】







【要 約】

【課題】 バレルシフト装置をパイプラインレジスタで分割し、シフト処理を多段処理ステージで実行する場合に、中間データ保持回路のデータ格納動作を制御し、パイプライン構造化による電力増加を抑制する。

【解決手段】 第2のシフト回路50のシフト量を制御する第2の制御信号をデコード回路20でデコードすることにより、第2のシフト回路50から最終的に出力データとして出力されるデータ要素が中間データ保持回路30での中間データのどの桁位置にあるかを検出する。中間データ保持回路30は、上記デコード回路20の桁位置の検出結果に基づいて中間データ中のデータ要素のうち、最終的に出力されるデータ要素のみを保持し、出力データには反映されない不用なデータ要素は保持しない。

【選択図】 図2

0 0 0 0 0 5 8 2 1

19900828

新規登録

大阪府門真市大字門真 1 0 0 6 番地

松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.